

論理回路基礎 (第12回)

坂井 修一

東京大学大学院 情報理工学系研究科 電子情報学専攻
 東京大学 工学部電気工学科

- ・ 講義の概要と予定
- ・ 記憶回路
- ・ 論理回路からコンピュータへ

論理回路基礎

東大・坂井

講義の概要と予定

1. デジタル回路入門
2. 論理演算
3. 組み合わせ回路の構成法
4. 組合せ回路の実例
5. フリップフロップ
6. 基本的な順序回路
7. 一般的な順序回路
8. 論理回路の実現
9. 記憶回路
10. デジタル回路から電子計算機へ

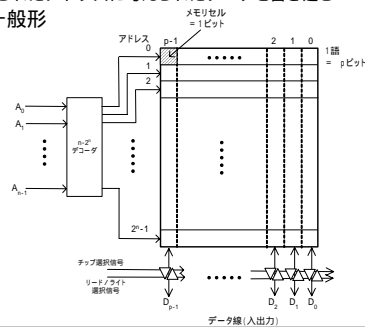
試験: 3月3日(予定)

論理回路基礎

東大・坂井

9. 記憶回路 (memory, メモリ)

- メモリ: 2進数を記憶する回路
- メモリの機能メモリの機能
 - (1) リード (read, 読み出し)
与えられたアドレスに記憶されているデータを読み出す
 - (2) ライト (write, 書き込み)
与えられたアドレスに与えられたデータを書き込む
- メモリの一般形

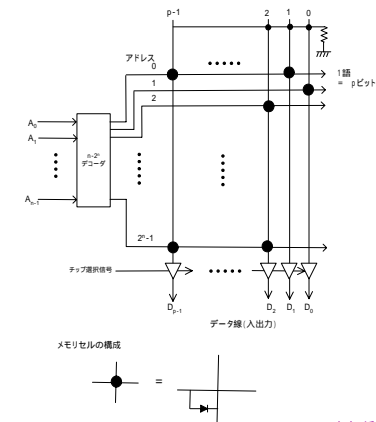


論理回路基礎

東大・坂井

9.1 ROM

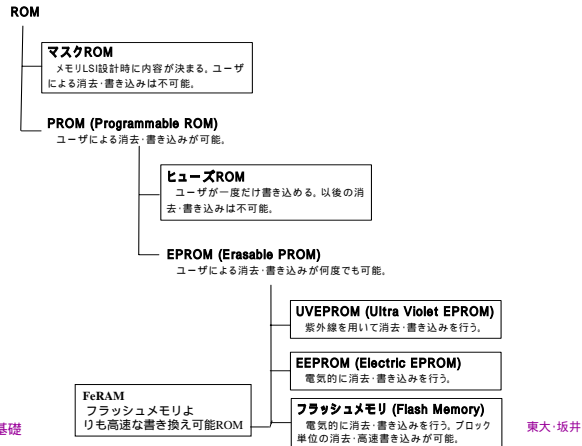
- ROM: Read Only Memory
 - 読み出し可能なメモリのこと
- ROMの構成 (右図)
 - アドレス線
 - チップ選択信号線
 - データ線 (出力のみ)
 - (リードラインはない)



論理回路基礎

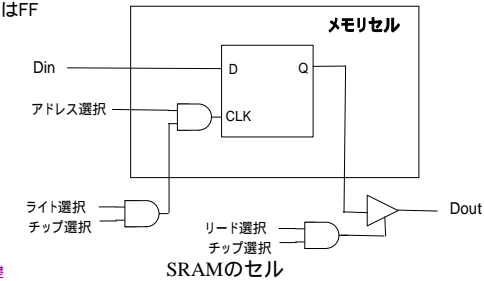
東大・坂井

ROMの種類



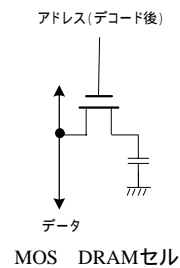
9.2 SRAM

- RAM: Random Access Memory
 - 読み書き可能なメモリのこと
- SRAM: Static RAM
 - 高速で使いやすい
 - リフレッシュ、プリチャージ不要
 - × 同じゲート規模なら容量はDRAMの1/4以下
 - 中身はFF

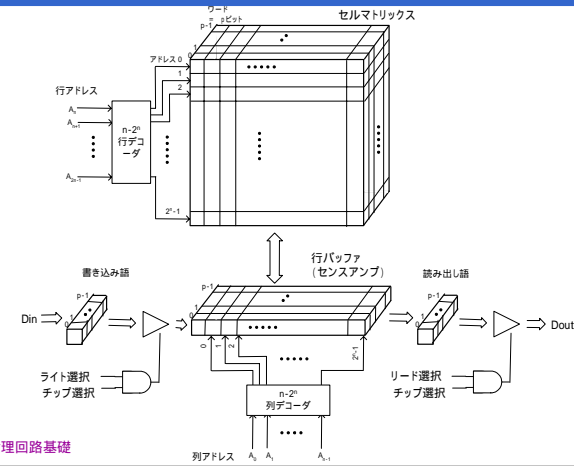


9.3 DRAM

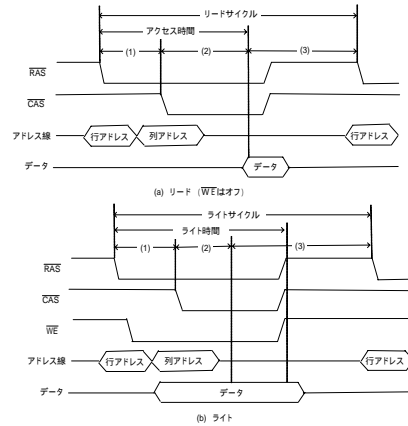
- DRAM: Dynamic RAM
 - 大容量
 - やや遅い
 - 動作が複雑: リフレッシュ、プリチャージなど
 - 中身はコンデンサ。64 Mbitが主流。256 Mbitへ



DRAMの内部構成



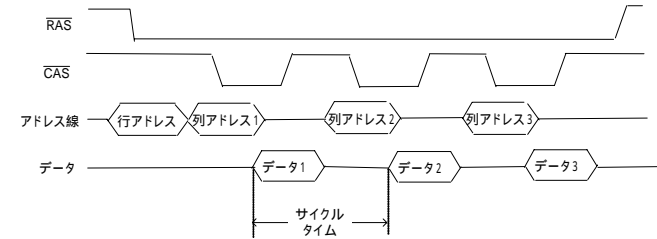
DRAMの動作サイクル: 基本図



論理回路基礎

東大・坂井

DRAMの動作: 高速ページモード

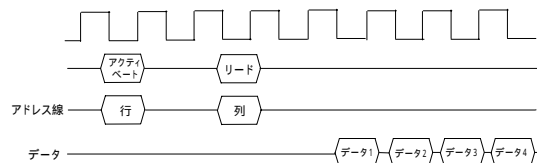


RAS をアクティブにしたあとは、CASと列アドレスの操作だけでデータのアクセスが行える。これによってアクセス時間を半分近くにまで減らすことができる

論理回路基礎

東大・坂井

シンクロナスDRAM (SDRAM)



- ・動作はコマンドの形で与えられる
- ・すべての動作はクロック信号に同期しており、コマンドとアドレスを与えてから決まったクロック数 (2 ~ 3) の後に、データが読み書きされる
- ・データは、コマンドに応じて複数回連続してリードまたはライトされる
- ・コマンドは、メモリの動作とオーバーラップして先行して発行することができる
- ・1語 / 1クロックに近いデータの読み書きが可能。
- ・高速ページモードのDRAMの数倍から10倍近い性能向上が得られた

DDR SDRAM (Double Data Rate SDRAM)

- ・シンクロナスDRAMをクロックの立ち上がりとしち下りの両方で動作させる
- ・SDRAMの2倍の動作速度を実現

論理回路基礎

東大・坂井

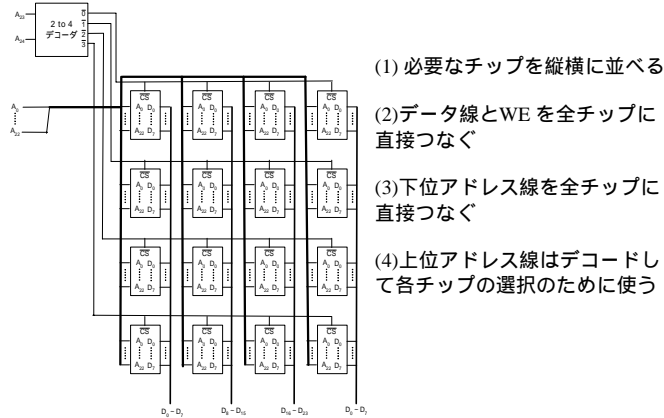
RDRAM (Rambus DRAM)

- データ幅を狭く (8ビットなど) し、メモリモジュールを枝分かれなく直列に接続して信号の乱れを防ぐ
- メモリチップ内のセルをバンクにわけて並列化する
- シンクロナスDRAMの数分の一のクロック周期で高速なデータ転送を行えるようにした

論理回路基礎

東大・坂井

9.4 メモリチップの接続



- (1) 必要なチップを縦横に並べる
- (2) データ線とWE を全チップに直接つなく
- (3) 下位アドレス線を全チップに直接つなく
- (4) 上位アドレス線はデコードして各チップの選択のために使う

論理回路基礎

東大・坂井

メモリによる組合せ回路の実現

- すべての組合せ回路は、「入力をアドレスに与え、出力をデータとするメモリ」で実現される

(i1, i2, i3, i4.. im)



(1ビット * m) のメモリで、ij番地の中身を 1 にし、他を 0 にする

論理回路基礎

東大・坂井

問題

1. 64 Mbit DRAMを組み合わせて、256MBメモリ(256 Mbit * 8)を作れ。
2. 現時点で汎用パーソナルコンピュータの主記憶としてもっともよく使われているRAMの種類、動作原理、動作速度、1チップあたりの記憶容量を調べてみよ。できれば、なぜそれが使われることになったのか、理由を調査せよ。
3. フラッシュメモリ(とFeRAM)がもし開発されていなかったら、デジタルカメラなどの記憶装置はどのようなものになっていたと考えられるか。
4. DRAMチップ(シンクロナスDRAM、RDRAMではないふうのDRAM)を複数用いてアドレス空間を広げるときには、SRAMでは不要だった注意が必要である。それは何か、書け。(ヒント)アドレスを半分ずつ時分割でアドレス線にのせる。上位半分には外付けデコーダへの入力が含まれるが、下位半分には含まれない。

論理回路基礎

東大・坂井

10. デジタル回路から電子計算機へ

- 電子計算機 = 巨大な順序回路

- プログラム格納型 (von Neuman型)
- 命令セット = ソフトウェアとハードウェアのインタフェース
 - どんな命令があり、どういう動作をするか、というもの。計算機的设计ではまず命令セットを決める
- 基本的には、「一般的な順序回路の構成法」に従って設計すればよい
- CPU(Central Processing Unit)は機能ブロックにわけられる
 - 機能ブロック間のインタフェースの決定
 - 個々の機能ブロックの設計

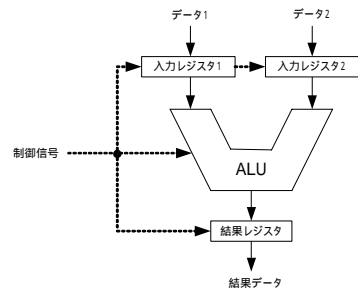
以下では、ALUからボトムアップ的に、電子計算機の構成を述べる

論理回路基礎

東大・坂井

10.1 ALU周辺

■ ALU: Arithmetic Logic Unit

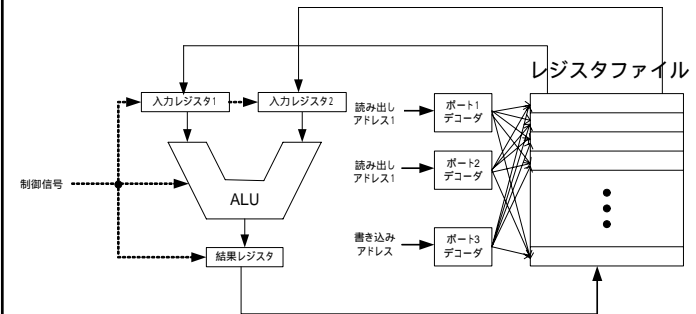


ALU : 64 bit 74181型 (+, -, *, /, AND, OR, NOT, etc.)

論理回路基礎

東大・坂井

10.2 レジスタファイルと命令レジスタ

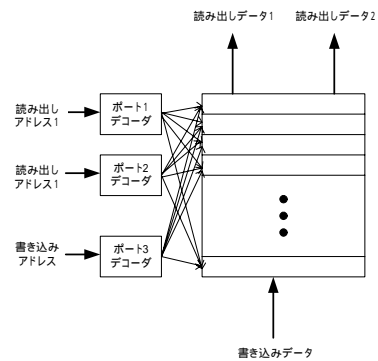


論理回路基礎

東大・坂井

レジスタファイル

- Register file = 3 port SRAM
 - 2 ports for read, 1 port for write



論理回路基礎

東大・坂井

10.3 命令

ALU制御 (+, -, AND, OR, ...)	入力レジスタ 1	入力レジスタ 2	出力レジスタ
-------------------------------	-------------	-------------	--------

出力レジスタ 入力レジスタ1 + 入力レジスタ2

(1) 算術論理演算命令

メモリ操作 (読み出し, ...)	レジスタ	アドレス
----------------------	------	------

レジスタ メモリの「アドレス」番地の内容

(2) メモリ操作命令

分岐操作 (ジャンプ, ...)	アドレス
---------------------	------

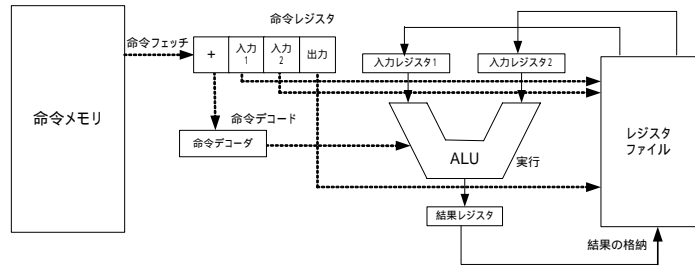
次の命令番地 「アドレス」

(3) 分岐命令

論理回路基礎

東大・坂井

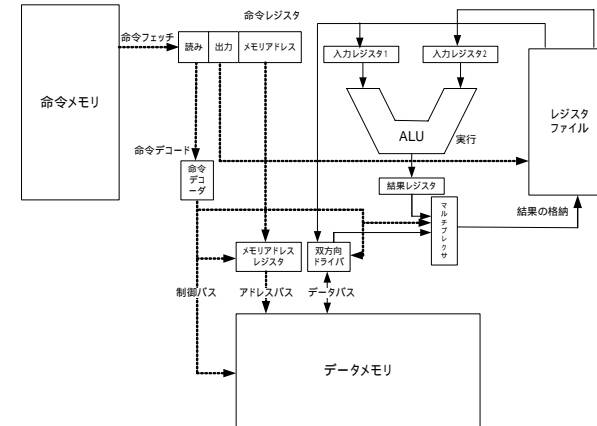
命令実行のしくみ



論理回路基礎

東大・坂井

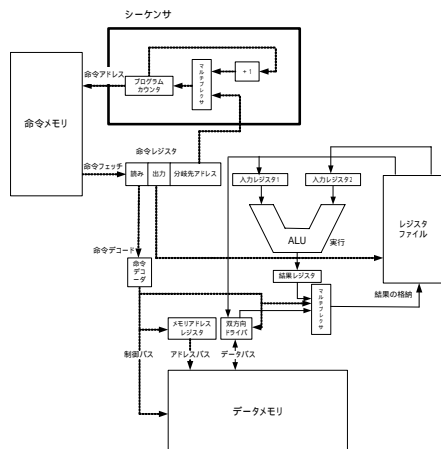
10.4 メモリ操作



論理回路基礎

東大・坂井

10.5 シーケンサおよび制御系



論理回路基礎

東大・坂井

その他

- 以下のことは、「コンピュータハードウェア」(3年夏、坂井担当)で取り上げる
 - メモリ関係
 - 記憶階層、キャッシュ、仮想記憶
 - シーケンサの構成
 - パイプライン
 - 入出力装置
 - 並列処理:
 - スーパースカラ、VLIW、マルチプロセッサ
- マルチプロセッサについては、大学院授業「コンピュータアーキテクチャ」(坂井担当)で取り上げる

論理回路基礎

東大・坂井

問題

1. レジスタファイルの大きさを決める要因について考察せよ。
2. コンピュータにとって処理速度以外に重要なことを3つ述べよ。