

## コンピュータハードウェア ( 8 )

坂井 修一

東京大学大学院 情報理工学系研究科 電子情報学専攻  
東京大学 工学部 電子情報工学科 / 電気工学科

- はじめに
- 命令レベル並列処理 ( 1 )

コンピュータハードウェア

東大・坂井

## はじめに

- 本講義の目的
  - コンピュータアーキテクチャの基本を学ぶ
- 時間・場所
  - 火曜日 10:15 - 11:45, 工3 - 31
- ホームページ (ダウンロード可能)
  - url: <http://www.mtl.t.u-tokyo.ac.jp/~sakai/hard/>
- 教科書
  - 坂井修一『コンピュータアーキテクチャ』(コロナ社、電子情報レクチャーシリーズC-9)  
教科書通りやります
- 参考書
  - D. Patterson and J. Hennessy, Computer Organization & Design, 2nd Ed. (邦訳『コンピュータの構成と設計』(第2版)上下 (日経B P))
  - 馬場敬信『コンピュータアーキテクチャ』(改訂2版)、オーム社
  - 富田真治『コンピュータアーキテクチャ』a、丸善
- 予備知識： 論理回路
  - 坂井修一『論理回路入門』、培風館
- 成績
  - 試験 (+ 出席)

コンピュータハードウェア

東大・坂井

## 講義の概要と予定 ( 1 / 2 )

1. コンピュータアーキテクチャ入門  
デジタルな表現、負の数、実数、加算器、ALU, フリップフロップ、レジスタ、計算のサイクル
2. データの流れと制御の流れ  
主記憶装置、メモリの構成と分類、レジスタファイル、命令、命令実行の仕組み、実行サイクル、算術論理演算命令、シーケンサ、条件分岐命令
3. 命令セットアーキテクチャ  
操作とオペランド、命令の表現形式、アセンブリ言語、命令セット、算術論理演算命令、データ移動命令、分岐命令、アドレッシング、サブルーチン、RISCとCISC
4. パイプライン処理 ( 1 )  
パイプラインの原理、命令パイプライン、オーバヘッド、構造ハザード、データハザード、制御ハザード
5. パイプライン処理 ( 2 )  
フォワードリング、遅延分岐、分岐予測、命令スケジューリング
6. キャッシュ  
記憶階層と局所性、透過性、キャッシュ、ライトスルーとライトバック、ダイレクトマップ型、フルアソシアティブ型、セットアソシアティブ型、キャッシュミス

コンピュータハードウェア

東大・坂井

## 講義の概要と予定 ( 2 / 2 )

7. 仮想記憶  
仮想記憶、ページフォールト、TLB、物理アドレスキャッシュ、仮想アドレスキャッシュ、メモリアクセス機構
8. 命令レベル並列処理 ( 1 )  
並列処理、並列処理パイプライン、VLIW、スーパースカラ、並列処理とハザード
9. 命令レベル並列処理 ( 2 )  
静的最適化、ループアンローリング、ソフトウェアパイプライン、トレーススケジューリング
10. アウトオブオーダー処理  
インオーダーとアウトオブオーダー、フロー依存、逆依存、出力依存、命令ウィンドウ、リザベーションステーション、レジスタリネーミング、マッピングテーブル、リオーダーバッファ、プロセッサの性能
11. 入出力と周辺装置  
周辺装置、ディスプレイ、二次記憶装置、ハードウェアインタフェース、割り込みとポーリング、アービタ、DMA、例外処理

試験： 7月後半

コンピュータハードウェア

東大・坂井

## 8 . 命令レベル並列処理

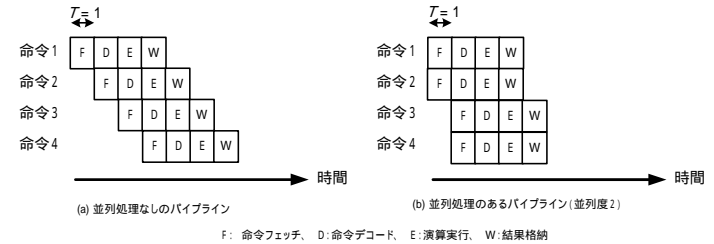
### ■ 内容

- 命令レベル並列処理
  - 命令レベル並列処理とはなにか
  - 並列処理パイプライン
- VLIW
  - VLIWプロセッサの構成と動作
  - VLIWの特徴
- スーパスカラ
  - スーパスカラプロセッサの構成と動作
  - 並列処理とハザード
  - VLIWとスーパスカラの比較

コンピュータハードウェア

東大・坂井

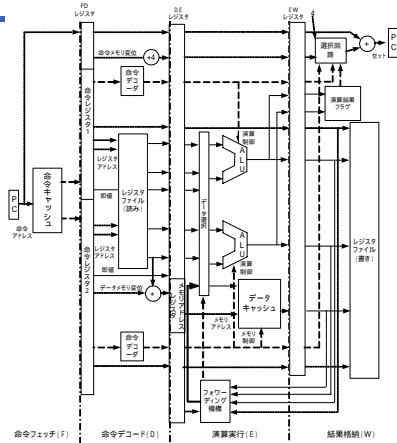
## 命令レベル並列処理とはなにか



コンピュータハードウェア

東大・坂井

## 並列処理パイプライン



コンピュータハードウェア

東大・坂井

## 命令レベル並列処理に必要な事項

- ハードウェア資源の投入
  - 命令キャッシュのバス幅、パイプラインレジスタ、デコーダ、演算フラグなどが、並列度 $P$ に比例して大きくなる
- レジスタファイルのポート数
  - 読み出し用のポート数が $2P$ 、書き込み用のポート数が $P$ 、合計 $3P$ のポートが必要となる。
- フォワーディング機構
  - 前後の命令の間のデータハザードの解消のためには、演算ユニットのそれぞれの出力のデータがすべての演算ユニットの入力にフォワードされなければならない。フォワードのデータ線に加えてマルチプレクサのために $P \times P = P^2$ に比例するハードウェアが必要となる。さらに遅延も大きなものとなる危険がある。
- 並列実行の制御
  - 同時実行する命令間の依存関係がないことを保証する必要がある。依存関係のある命令が同時にフェッチされた場合、どちらかを待たせるなどの工夫が必要である。並列実行される命令間のデータハザードはフォワーディングによっては解消されないことに注意。

コンピュータハードウェア

東大・坂井

## VLIW

- VLIW = Very Large Instruction Word
  - 1命令の中に複数の演算を入れたアーキテクチャ
  - 同一命令語中のハザードはすべてコンパイラ(または機械語プログラマ)が静的に解決し、命令語の中の演算はすべて同時に実行する
- VLIWの利点
  - プロセッサの制御ロジックが簡単・高速
- VLIWの問題点
  - 透過性・互換性がない
  - 静的な並列化の限界
  - 十分に並列化できない場合の命令フィールドの無駄

コンピュータハードウェア

東大・坂井

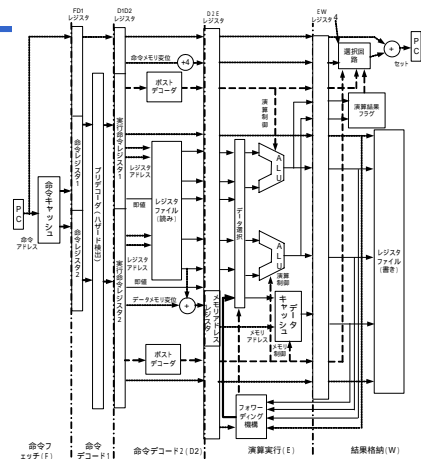
## スーパスカラ

- スーパスカラ(superscalar)
  - 逐次型プログラムを並列実行するアーキテクチャ
    - ハードウェアがみずから並列性を検出し利用する
- 利点
  - 透過性・互換性が維持される
- 問題点
  - ハードウェアの複雑化

コンピュータハードウェア

東大・坂井

## スーパスカラプロセッサの構成



コンピュータハードウェア

東大・坂井

## スーパスカラプロセッサの動作

- 命令フェッチ(instruction fetch, F)
  - 命令キャッシュから複数の命令をフェッチする
- 命令プリデコード(instruction predecode, D1)
  - フェッチした命令と処理待ちの命令のすべての依存関係を調べ、もし依存関係があれば処理を遅らせる。依存関係のない1つないし複数(図では2つ)の命令を「実行命令レジスタ」に入れる。
- 命令ポストデコード(instruction dispatch, D2)
  - 実行命令レジスタに入った命令から、演算装置やメモリの制御信号を生成する。同時に、レジスタファイルから演算に必要なレジスタの値を読み出す。
- 演算実行(execution, E)
  - ポストデコーダで指定された演算群(メモリの読み書きを含む)を**同時実行**する。結果の格納場所の選択信号をポストデコーダで指示された値にセットする。
- 結果の格納(write back, W)
  - レジスタファイルに実行結果を格納する。プログラムカウンタ(PC)の値を次の命令のためにセットする。

コンピュータハードウェア

東大・坂井

## 並列処理とハザード

### (1)構造ハザード

- 並列処理では、ユニット数やポート数が足りないための構造ハザードが起こる。
- たとえば、データキャッシュは一度にひとつしかアクセス要求を受け付けず、ロード・ストア命令を同時に2つ以上実行することはできない。
- 構造ハザードがある場合は、競合する資源を使う命令を、時間をずらして順番に処理することになる。スーパースカラでは、この制御をハードウェアが行う必要がある。

### (2)データハザード

- 並列処理する2つの命令の間にはデータ依存関係があってはならない
- プリデコードのステージでデータ依存関係を見つけたら、プログラムの中で前に出てくる命令を先に処理し、後の命令は時間をずらして後から処理することになる。

### (3)制御ハザード

- フェッチした命令のどちらかが分岐命令の場合、制御ハザードが起こる可能性がある。
- 並列処理をする場合、ストールの影響は大きくなる。遅延分岐はたくさんの共通命令を必要とすることになるし、分岐予測がはずれた場合のペナルティも大きい。

コンピュータハードウェア

東大・坂井

## VLIWとスーパースカラの比較

表 6.1 VLIWとスーパースカラの比較

	V L I W	スーパースカラ
透過性・互換性	×	
ハザード検出・並列化	静的(コンパイラ)	動的(ハードウェア)
ハードウェア	簡単	複雑
制御の遅延	小	大
命令フィールドのむだ	有	無

コンピュータハードウェア

東大・坂井