

コンピュータハードウェア (5)

坂井 修一

東京大学大学院 情報理工学系研究科 電子情報学専攻
東京大学 工学部 電子情報工学科 / 電気工学科

- はじめに
- パイプライン処理 (2)

コンピュータハードウェア

東大・坂井

はじめに

- 本講義の目的
 - コンピュータアーキテクチャの基本を学ぶ
- 時間・場所
 - 火曜日 10:15 - 11:45、I3 - 31
- ホームページ (ダウンロード可能)
 - url: <http://www.mtl.t.u-tokyo.ac.jp/~sakai/hard/>
- 教科書
 - 坂井修一『コンピュータアーキテクチャ』(コロナ社、電子情報レクチャーシリーズC-9)
教科書通りやります
- 参考書
 - D. Patterson and J. Hennessy, Computer Organization & Design, 2nd Ed. (邦訳『コンピュータの構成と設計』(第2版)上下 (日経B P))
 - 馬場敬信『コンピュータアーキテクチャ』(改訂2版)、オーム社
 - 富田真治『コンピュータアーキテクチャ』a、丸善
- 予備知識： 論理回路
 - 坂井修一『論理回路入門』、培風館
- 成績
 - 試験 (+出席)

コンピュータハードウェア

東大・坂井

講義の概要と予定 (1 / 2)

1. コンピュータアーキテクチャ入門
デジタルな表現、負の数、実数、加算器、ALU, フリップフロップ、レジスタ、計算のサイクル
2. データの流れと制御の流れ
主記憶装置、メモリの構成と分類、レジスタファイル、命令、命令実行の仕組み、実行サイクル、算術論理演算命令、シーケンサ、条件分岐命令
3. 命令セットアーキテクチャ
操作とオペランド、命令の表現形式、アセンブリ言語、命令セット、算術論理演算命令、データ移動命令、分岐命令、アドレッシング、サブルーチン、RISCとCISC
4. パイプライン処理 (1)
パイプラインの原理、命令パイプライン、オーバヘッド、構造ハザード、データハザード、制御ハザード
5. **パイプライン処理 (2)**
フォワードリング、遅延分岐、分岐予測、命令スケジューリング
6. キャッシュ
記憶階層と局所性、透過性、キャッシュ、ライトスルーとライトバック、ダイレクトマップ型、フルアソシティブ型、セットアソシティブ型、キャッシュミス

コンピュータハードウェア

東大・坂井

講義の概要と予定 (2 / 2)

7. 仮想記憶
仮想記憶、ページフォールト、TLB、物理アドレスキャッシュ、仮想アドレスキャッシュ、メモリアクセス機構
8. 命令レベル並列処理 (1)
並列処理、並列処理パイプライン、VLIW、スーバスカラ、並列処理とハザード
9. 命令レベル並列処理 (2)
静的最適化、ループアンローリング、ソフトウェアパイプライン、トレーススケジューリング
10. アウトオブオーダー処理
インオーダーとアウトオブオーダー、フロー依存、逆依存、出力依存、命令ウィンドウ、リザベーションステーション、レジスタリネーミング、マッピングテーブル、リオーダーバッファ、プロセッサの性能
11. 入出力と周辺装置
周辺装置、ディスプレイ、二次記憶装置、ハードウェアインタフェース、割り込みとポーリング、アービタ、DMA、例外処理

試験： 7月後半

コンピュータハードウェア

東大・坂井

5. パイプライン処理 (2)

■ 内容

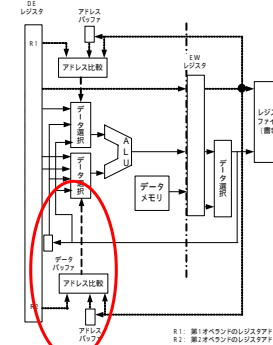
- データハザードの解決法
 - フォワーディング
- 制御ハザードの解決法
 - 命令アドレス生成のタイミング
 - 遅延分岐
 - 分岐予測
- 命令スケジューリング

コンピュータハードウェア

東大・坂井

フォワーディング

- フォワーディング (= バイパス、ショートカット)
 - Eステージの結果を、Wステージを終ることなく、直接に後続の命令のEステージに送り込むこと
 - データハザードを解決する!



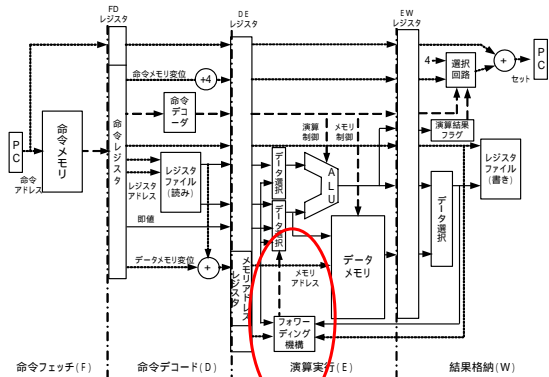
R1: 第1オペランドのレジスタアドレス
R2: 第2オペランドのレジスタアドレス

コンピュータハードウェア

→ アドレスの流れ - - - - - 制御の流れ → データの流れ

東大・坂井

フォワーディング機構の入ったパイプライン

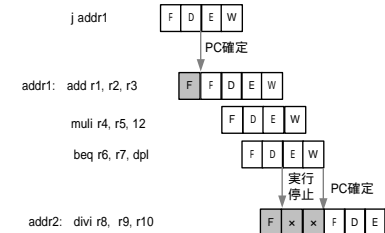


コンピュータハードウェア

東大・坂井

命令アドレス生成を早める

- 無条件分岐命令のアドレス生成タイミング
 - Eステージではなく、Dステージで次の命令アドレスを確定させる
 - 制御ハザードを緩和する!



時間

コンピュータハードウェア

東大・坂井

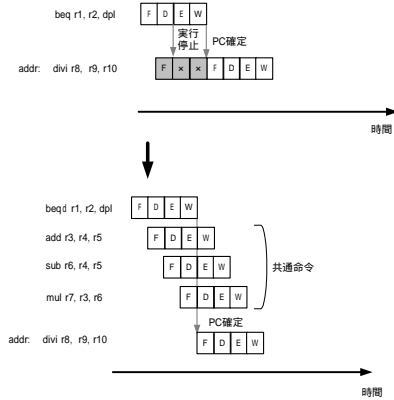
遅延分岐

遅延分岐

(1)分岐のあるなしにかかわらず実行する命令(共通命令)を分岐命令の次のアドレス(遅延スロット、delayed slot)に入れておく

(2)遅延分岐命令は、定められた数の共通命令をパイプライン実行したあとでPCをセットする

制御ハザードをなくす



コンピュータハードウェア

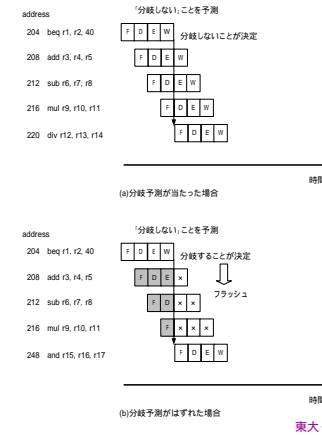
東大・坂井

分岐予測

分岐予測

分岐が起こるかどうかを予測して処理を進め、予測がはずれた場合に分岐命令以下の命令を破棄する

— 制御ハザードを緩和する！



コンピュータハードウェア

東大・坂井

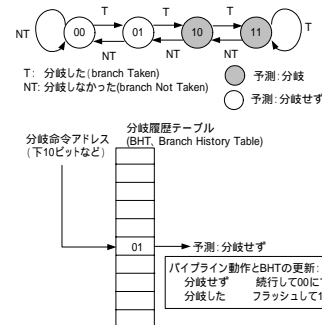
分岐予測の方式

静的な方式

- 常に分岐する(しない)ほうを予測する
- 命令アドレスが小さくなるほうを予測する

動的な方式

- 2ビット予測器(右図)
- 2レベル適応型予測器



コンピュータハードウェア

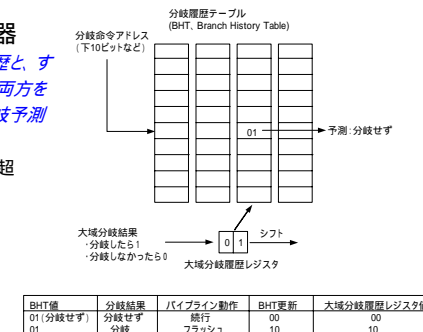
東大・坂井

2レベル適応型予測器

2レベル適応型予測器

各分岐命令ごとの履歴と、すべての分岐の履歴の両方を使って精度の高い分岐予測を実現する

平均成功率90%超



コンピュータハードウェア

東大・坂井

命令スケジューリング

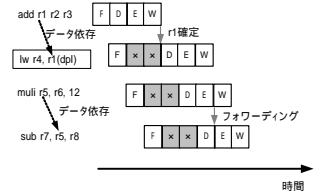
命令スケジューリング

命令の位置を最適化するスケジューリング

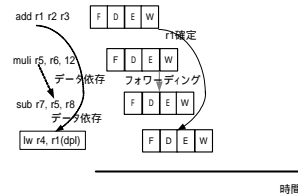
- 依存関係のある命令をプログラムの中でできるだけ離れた位置に置く
- 制御ハザードの防止のために、遅延分岐を使い、遅延スロットに共通命令を充填する
- ループの本体を大きくするなどして、分岐命令の生起間隔を大きくする

構造ハザードについてはこの効果が大きい。

- データハザードについては、必要ない(例外:メモリアクセス)



(a)メモリアドレス生成のデータ・ハザード



(b)命令スケジューリングによるハザードの解消

コンピュータハードウェア